

Docket No.: 8733.915.00-US
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kyoung-Mook Lee, et al.

Application No.: Not Yet Assigned

Confirmation No.: Not Yet Assigned

Filed: September 17, 2003

Art Unit: N/A

For: ARRAY SUBSTRATE FOR LIQUID
CRYSTAL DISPLAY AND FABRICATION
METHOD THEREOF

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Korea, Republic of	10-2003-0040394	June 20, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 17, 2003

Respectfully submitted,

By 
Eric J. Nuss

Registration No.: 40,106
MCKENNA LONG & ALDRIDGE LLP
1900 K Street, N.W.
Washington, DC 20006
(202) 496-7500
Attorney for Applicant

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0040394
Application Number

출원년월일 : 2003년 06월 20일
Date of Application JUN 20, 2003

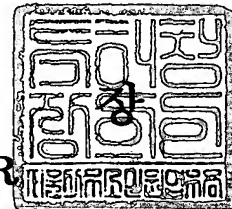
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 07 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.06.20
【국제특허분류】	G02F
【발명의 명칭】	액정 표시 장치용 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	A array substrate and the fabrication method for LCD
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	허용록
【대리인코드】	9-1998-000616-9
【포괄위임등록번호】	2000-024823-8
【발명자】	
【성명의 국문표기】	이경묵
【성명의 영문표기】	LEE,Kyoung Mook
【주민등록번호】	740418-1037518
【우편번호】	152-102
【주소】	서울특별시 구로구 오류2동 152번지 우석빌라1-106
【국적】	KR
【발명자】	
【성명의 국문표기】	남승희
【성명의 영문표기】	NAM,Seung Hee
【주민등록번호】	730915-1690911
【우편번호】	440-320
【주소】	경기도 수원시 장안구 율전동 394-22번지 502호
【국적】	KR
【발명자】	
【성명의 국문표기】	오재영
【성명의 영문표기】	OH,Jae Young

【주민등록번호】 750222-1041720
【우편번호】 437-081
【주소】 경기도 의왕시 내손1동 포일아파트 101/210
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 허용
록 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 36 면 36,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 65,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 관한 것이다.

본 발명은 탑 게이트형 박막 트랜지스터에서 소스/드레인 전극 형성시나 화소 전극 형성시에 잉여 라인(redundancy line)을 생성, 적용하여 게이트 전극을 형성함으로써 게이트 금속의 저항을 낮추어 대면적 액정 디스플레이 패널에 적용가능하도록 하여 신호 지연을 방지하고 게이트 전극에 제 2의 금속막을 형성함으로써 게이트 금속의 저항을 낮춰 양질의 저저항 배선을 실현하고 액정 표시 장치의 반응응답속도를 개선할 수 있다.

또한, 본 발명은 소스/드레인 전극 또는 화소 전극 형성시의 잉여 라인을 이용함으로써 별도의 추가 공정 없이 형성할 수 있어 제조 효율을 높이는 효과가 있다.

【대표도】

도 3

【색인어】

게이트 전극, 리턴던시, 화소 전극, 소스 및 드레인 전극

【명세서】**【발명의 명칭】**

액정 표시 장치용 어레이 기판 및 그 제조 방법{A array substrate and the fabrication method for LCD}

【도면의 간단한 설명】

도 1은 일반적인 탑 게이트형 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터의 단면을 각각 도시한 단면도.

도 2는 일반적인 탑 게이트형 박막트랜지스터의 제조공정을 보여주는 공정 흐름도.

도 3은 본 발명에 따른 제 1 실시예로서, 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터의 단면을 각각 도시한 단면도.

도 4는 본 발명에 따른 탑 게이트형 박막트랜지스터의 제조공정을 순서대로 보여주는 도면.

도 5는 본 발명에 따른 제 2 실시예로서, 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터의 단면을 각각 도시한 단면도.

도 6은 본 발명에 따른 탑 게이트형 박막트랜지스터의 제조공정을 순서대로 보여주는 도면.

도 7은 본 발명에 따른 제 3 실시예로서, 바텀 게이트(bottom-gate)형 박막 트랜지스터를 가지는 어레이 기판의 화소 영역 일부분을 간략하게 도시한 평면도.

도 8은 도 7에서 I-I', II-II'선을 따라 절단하여 개략적으로 보여주는 단면도.

도 9는 본 발명에 따른 제 4 실시예로서, 바텀 게이트(bottom-gate)형 박막 트랜지스터를 가지는 어레이 기판의 화소 영역 일부분을 간략하게 도시한 평면도.

도 10은 도 9에서 I-I', II-II'선을 따라 절단하여 개략적으로 보여주는 단면도.

도 11은 본 발명에 따른 실시예들로서, 게이트 콘택홀의 다양한 형태를 보여주는 도면.

<도면의 주요부분에 대한 부호 설명>

200, 300, 400, 500 : 절연기판

214, 314, 414, 514 : 버퍼층

216, 316, 416, 516 : 반도체층

216a, 240a, 242a 316a, 340a, 342a : 활성화층

216b, 240b, 242b, 316b, 340b, 342b : LDD층

216c, 240c, 316c, 340c : n형 불순물층

218, 244a, 244b, 318, 344a, 344b, 418, 518 : 게이트 절연막

220, 246a, 246b, 320, 346a, 346b, 420, 520, 620 : 제 1 게이트 전극

222a, 222b, 322a, 322b, 422a, 422b, 522a, 522b : 제 1, 2 반도체층 콘택홀

224, 324, 424, 524 : 층간절연막

239, 239a, 239b, 339, 339a, 339b, 439, 439, 539, 639 : 게이트 콘택홀

226, 250a, 250b, 326, 350a, 350b, 426, 526, 626 : 소스 전극

228, 252a, 252b, 328, 352a, 352b, 428, 528, 628 : 드레인 전극

229, 249a, 249b, 329, 349a, 349b, 429, 529, 629 : 제 2 게이트 전극

230, 330, 430, 530 : 드레인 콘택홀

232, 332, 432, 532 : 보호층

234, 334, 434, 534 : 화소전극 240, 340 : n형 반도체층

242, 342 : p형 반도체층 242c, 342c : p형 불순물층

247a, 247b, 247c, 247d, 347a, 347b, 347c, 347d : 반도체층 콘택홀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<32> 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 관한 것이다.

<33> 최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시장치(flat panel display)의 필요성이 대두되었는데, 그 중 색 재현성 등이 우수한 액정 표시 장치(liquid crystal display)가 활발하게 개발되고 있다.

<34> 일반적으로 액정 표시 장치는 일측에 전극이 각각 형성되어 있는 두 기판을, 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

- <35> 액정 표시 장치의 하부 기판은 화소 전극에 신호를 인가하기 위한 박막 트랜지스터를 포함하는 어레이 기판으로 박막을 형성하고 사진 식각하는 공정을 반복함으로써 이루어지고, 상부 기판은 컬러 필터를 포함하는 기판으로 컬러 필터는 적(R), 녹(G), 청(B)의 세 가지 색이 순차적으로 배열되어 있으며, 안료분산법이나 염색법, 전착법 등의 방법으로 제작된다.
- <36> 일반적으로, 박막 트랜지스터에 사용되는 액티브층은 비정질 실리콘(amorphous silicon ; a-Si:H)이 주류를 이루고 있다. 이는 대면적으로 제작이 용이하여 생산성이 높고, 350℃ 이하의 낮은 기판온도에서 증착이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.
- <37> 그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가시 준 안정상태로 변화되어 박막트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있다.
- <38> 특히, 상기 비정질 실리콘은 빛 조사에 의해 특성이 저하되는 문제점이 있고, 표시 화소 구동 소자의 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{ cm}^2/\text{V} \cdot \text{s}$)과 신뢰성 저하로 인해 구동회로에 쓰기 어렵다.
- <39> 더욱이, 액정표시장치용 액정패널의 해상도가 높아지면, 박막트랜지스터 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(Pitch)가 짧아져 TCP 본딩 자체가 어려워진다.

- <40> 그러나, 다결정 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있어, 이 다결정 실리콘으로 기판에 직접 구동회로를 만들면 구동 IC 비용도 줄일 수 있고 실장도 간단해진다.
- <41> 또한, 이러한 다결정 실리콘은 비정질 실리콘에 비해 전계효과 이동도가 100 내지 200 배 정도 더 크므로 응답 속도가 빠르고, 온도와 빛에 대한 안정성이 우수하다. 또한, 구동회로를 동일 기판 상에 형성할 수 있는 장점이 있다.
- <42> 상기와 같은 장점을 가지는 다결정 실리콘의 제조방법은 다양하게 알려져 있는데, 일반적으로 다결정 실리콘을 형성하기 위해서 플라즈마 화학 기상 증착법(plasma enhanced chemical vapor deposition)이나 저압 화학 기상 증착법(low pressure chemical vapor deposition)으로 비정질 실리콘을 증착한 후, 이를 다시 결정화하는 방법이 널리 사용되고 있다.
- <43> 상기 비정질 실리콘을 이용하여 다결정 실리콘을 형성하는 방법으로는 비정질 실리콘 박막에 기판 온도를 250℃ 정도로 가열하면서 엑시머 레이저를 가해서 성장시키는 레이저 열처리(laser annealing) 방법과, 비정질 실리콘 상에 금속을 증착하여 금속을 씨드로 다결정 실리콘을 형성하는 금속유도 결정화(metal induced crystallization : MIC) 방법, 비정질 실리콘을 고온에서 장시간 열처리하여 형성하는 고상 결정화(solid phase crystallization : SPC) 방법 등이 있다.
- <44> 한편, 상기 다결정 실리콘에는 다수 개의 결정립 및 이 결정립간의 경계내에 결정립계가 존재하는데, 결정립계는 전류흐름의 장애요소로 작용하므로, 신뢰성 있는 박막트랜지스터 소자를 제공하기 위해서는 결정립계를 줄이고 결정립을 좀 더 조대화시키는 것이 중요하다.

- <45> 이러한 문제점을 개선하기 위하여, 실리콘 결정립이 액상 실리콘과 고상 실리콘의 경계면에서, 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 SLS 결정화 기술에 의해 단결정 실리콘을 형성하는 기술(Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956~957, 1997)이 제안되었다.
- <46> 상기 SLS 결정화 기술에서는, 레이저 에너지 크기와 레이저 빔의 조사범위 및 그 이동거리(translation distance)를 적절하여 조절하여, 실리콘 결정립을 소정의 길이만큼 측면성장시킴으로써, 비정질 실리콘을 단결정 수준으로 결정화시킬 수 있다.
- <47> 이하, 첨부한 도면을 참조하여 다결정 실리콘을 이용한 박막 트랜지스터를 포함하는 어레이 기판 및 그의 제조 방법에 대하여 설명한다.
- <48> 도 1a 및 1b는 일반적인 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터의 단면을 각각 도시한 단면도로서, 상기 화소부 및 구동회로부 모두 반도체층 상부에 게이트 전극이 위치하는 탑 게이트(top gate)형 박막트랜지스터에 관한 것이다.
- <49> 도 1a의 화소부 박막트랜지스터부(I)에는, 절연기판(100) 상부에 버퍼층(114)이 기판 전면에 걸쳐 형성되어 있고, 상기 버퍼층(114) 상부에는 반도체층(116)이 형성되어 있으며, 상기 반도체층(116) 상의 중앙부에는 게이트 절연막(118), 게이트 전극(120)이 차례대로 적층되어 있다.
- <50> 그리고, 상기 게이트 전극(120) 상부에는 제 1, 2 반도체층 콘택홀(122a, 122b)을 포함하는 층간절연막(124 ; interlayer)이 형성되어 있으며, 상기 제 1, 2 반도체층 콘택홀(122a, 122b)과 각각 연결되며, 상기 게이트 전극(120)과 일정간격 오버랩되는 위치에 소스 및 드레인 전극(126, 128)이 서로 일정간격 이격되어 형성되어 있다.

- <51> 그리고, 상기 소스 및 드레인 전극(126, 128) 상부에는 드레인 콘택홀(130)을 포함하는 보호층(132)이 형성되어 있고, 상기 보호층(132) 상부에는 상기 드레인 콘택홀(130)을 통해 드레인 전극(128)과 연결되어 화소 전극(134)이 형성되어 있다.
- <52> 상기 반도체층(116)은 게이트 절연막(118)과 대응되는 영역은 활성화층(116a)을 이루고, 상기 소스 및 드레인 전극(126, 128)과 접촉되는 부분은 n^+ 도핑처리된 n 형 불순물층(116c)을 이루며, 상기 활성화층(116a)과 n 형 불순물층(116c) 사이의 드레인 전극(128)과 게이트 전극(120)간의 정션(junction)부분에는 LDD(Lightly Doped Drain)층(116b)이 위치한다.
- <53> 상기 LDD층(116b)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로, 낮은 농도로 도핑처리하여 누설전류의 증가를 막고 온상태의 전류의 손실을 막는 역할을 한다.
- <54> 도 1b에서, 상기 구동회로부의 CMOS구조 박막트랜지스터는 n 형 이온도핑처리에 의한 채널(channel)을 갖는 박막트랜지스터(II)와 p 형 이온도핑처리에 의한 채널을 갖는 박막트랜지스터(III)로 구성되며, 설명의 편의상 동일한 소자에 대해서는 II, III 순서대로 부호를 함께 기재한다.
- <55> 도시한 바와 같이, 버퍼층(114)이 형성된 투명기판(100) 상에는 n 형 반도체층(140)과 p 형 반도체층(142)이 서로 일정간격 이격되어 형성되어 있고, 상기 n 형 및 p 형 반도체층(140, 142) 상부에는 각각 게이트 절연막(144a, 144b) 및 게이트 전극(146a, 146b)이 형성되어 있고, 상기 게이트 전극(146a, 146b) 상부에는 기판 전면에 걸쳐 반도체층 콘택홀(147a, 147b, 147c, 147d)을 포함하는 층간절연막(124)이 형성되어 있다.

- <56> 상기 층간절연막(124) 상부에는 반도체층 콘택홀(1147a, 147b, 147c, 147d)을 통해 각각 n형 및 p형 반도체층(140, 142)과 연결되어 각각 소스 및 드레인 전극((150a, 152a), (150b, 152b))이 형성되어 있으며, 상기 소스 및 드레인 전극((150a, 152a), (150b, 152b)) 상부에는 기판 전면에 걸쳐 보호층(132)이 형성되어 있다.
- <57> 상기 n형 반도체층(140)은 상기 도 2a의 반도체층(116)과 같이 게이트 절연막(144a)과 접촉하는 영역을 활성화층(140a)으로 하고, 이 소스 및 드레인 전극(150a, 152a)과 접촉하는 영역을 포함하여 n형 불순물층(140c)으로 하며, 그 사이 영역을 LDD층(140b)으로 구성한다.
- <58> 이하, 상기 화소부의 일반적인 박막트랜지스터 및 구동회로부의 CMOS구조 박막트랜지스터의 제조공정에 대해서 설명한다.
- <59> 도 2는 상기 도 1a 및 1b에 따른 탑 게이트형 박막트랜지스터의 제조공정을 보여주는 공정 흐름도에 대한 것으로, 상기 제조 공정에서는 감광성 포토 레지스트(PR ; photo resist)을 이용한 포토리소그래피(Photolithography) 공정(이하, 마스크 공정으로 약칭함)이 수반된다.
- <60> 먼저, 절연기판을 준비하는데, 이 단계에서는 투광 절연기판을 준비하고, 이 절연기판 상에 약 3000Å 두께의 버퍼층(buffer layer)을 형성한다(S100).
- <61> 상기 버퍼층을 이루는 물질로는 실리콘 질화막(SiN_x)나 실리콘 산화막(SiO_x)와 같은 무기절연막이 주로 이용된다.
- <62> 그리고, 상기 버퍼층 상에 활성화층(active layer)을 형성하는 단계이다(S110).

- <63> 이 단계에서, 상기 버퍼층이 형성된 기판 상에 약 550Å 두께로 비정질 실리콘(a-Si)을 증착하고, 탈수소화(dehydrogenation) 과정을 거친 후, 결정화 단계를 통해 다결정 또는 단결정 실리콘과 같은 결정질 실리콘을 형성하고, 이 결정질 실리콘을 이용하여 제 1 마스크 공정에 의해 활성화층으로 형성한다.
- <64> 이후, 게이트 절연막 및 게이트 전극을 형성한다(S120).
- <65> 상기 활성화층이 형성된 기판 상에, 약 1000Å의 실리콘 질화막, 2000Å의 몰리브덴(Mo)을 연속해서 증착한 후, 제 2 마스크 공정을 통해 게이트 절연막 및 게이트 전극을 형성하는 단계이다.
- <66> 그리고, n형 반도체층을 완성하는데, 상기 게이트 전극 및 게이트 절연막이 형성된 기판 상에 n^- 도핑처리를 하여 LDD층을 형성한 후, 제 3 마스크 공정을 통해 n^+ 도핑을 처리된 n형 불순물층을 형성한다(S130).
- <67> 이어서, 상기 n형 불순물층이 형성된 기판 상에, 제 4 마스크 공정을 통해 p^+ 도핑 처리된 p형 불순물층을 형성한다(S140).
- <68> 이후, 층간절연막을 형성하는데, 상기 p형 불순물층이 형성된 기판 상에, 약 7000Å의 실리콘 질화막 또는 실리콘 산화막과 같은 무기절연막을 증착한 후, 제 5 마스크 공정에 의해 반도체층 콘택홀을 가지는 층간절연막을 형성한다(S150).
- <69> 이어서, 상기 층간절연막이 형성된 기판 상에, 약 500Å의 몰리브덴과, 약 3000Å의 알루미늄 네오듐(AlNd)을 차례대로 증착한 후, 제 6 마스크 공정에 의해 일괄 에칭하여, 상기 반도체층 콘택홀을 통해 불순물층과 연결되는 소스 및 드레인 전극을 형성한다(S160).

- <70> 그리고, 상기 소스 및 드레인 전극이 형성된 기판 상에, 약 4000Å의 실리콘 질화막을 증착하고, 이 실리콘 질화막의 수소화 열처리과정을 거친 후, 제 7 마스크 공정에 의해 드레인 콘택홀을 가지는 보호층을 형성한다(170).
- <71> 상기 수소화 열처리 과정은 어닐링 단계를 포함하여 실리콘 질화막에 포함된 수소를 저면을 몰아주기 위한 공정으로서, 일반적으로 380℃에서 질소(N₂)가스를 이용하여 1회 실시된다.
- <72> 최종적으로, 상기 보호층 상에 화소 전극을 형성한다(S180).
- <73> 이 단계에서는, 상기 보호층이 형성된 기판 상에 약 400Å두께의 ITO(indium Tin Oxide)를 증착한 후, 제 8 마스크 공정에 의해 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 화소 전극을 형성한다.
- <74> 한편, 최근에는 액정 표시 장치가 대형화 및 고정세화됨에 따라, 배선의 길이는 길어지고 그 폭은 작아져 신호 지연이 발생할 확률이 높아지게 되었다.
- <75> 따라서, 배선의 저항을 감소시키기 위해 많은 연구가 진행되고 있으며, 그 중 하나로 저저항 물질을 이용하여 배선을 형성하는 방법이 많이 이용되고 있다.
- <76> 일반적으로, 알루미늄(Al)이나 구리(Cu)의 비저항이 비교적 낮기 때문에, 이러한 금속 물질이 게이트 및 데이터 배선의 재료로 이용된다.
- <77> 통상, 화소 전극은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같은 투명 도전 물질로 사용되는데, 이러한 ITO는 알루미늄과 접촉시 접촉 저항이 크며, 구리는 ITO 식각액에 의해 쉽게 손상(damage)이 된다.

<78> 따라서, 알루미늄이나 구리로 배선을 형성할 경우 IT0와 접촉하는 부분에서 단선이 발생하거나, 신호가 왜곡되는 문제가 나타날 수 있다.

<79> 또한, 상기 저저항 배선이 라인저항을 증가시켜 주사선이 많은 대면적 액정 디스플레이 패널의 경우 반응응답속도의 저하가 발생하고, 이는 잔상이나 얼룩으로 표현되어 화질이 떨어뜨리게 되어 대면적 액정 디스플레이 패널에 부적합한 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<80> 본 발명은 박막 트랜지스터에서 소스/드레인 전극 형성시나 화소 전극 형성시에 잉여 라인(redundancy line)을 생성, 적용하여 게이트 전극을 형성함으로써 게이트 금속의 저항을 낮추어 대면적 액정 디스플레이 패널에 적용가능하도록 하여 신호 지연을 방지하는 양질의 저저항 배선을 가지는 액정 표시 장치용 어레이 기판 및 그의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<81> 상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치용 어레이 기판의 제 1 실시예는, 기판과, 상기 기판 상부에 형성된 버퍼층과, 다결정 실리콘으로 이루어진 액티브층과, 게이트 절연막과, 제 1 게이트 전극과; 상기 액티브층의 소스 및 드레인 영역과 상기 제 1 게이트 전극의 상부 일부를 드러내는 제 1 및 제 2 콘택홀, 게이트 콘택홀을 포함하는 층간절연막과; 상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과; 상기 층간 절연막 상부에서 상기 게이트 콘택홀을 통해서 상기 제 1 게이트 전극과 접촉하는 제 2 게이트 전극과; 상기 소스 및 드레인 전극과 제 2 게이트 전극을 덮고 있으며,

상기 드레인 전극 상부에 드레인 콘택홀을 가지는 보호층과; 상기 보호층 상부에 형성되고 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되어 있는 화소 전극;을 포함하여 이루어지는 것을 특징으로 한다.

<82> 상기 보호층에 콘택홀에 형성되어 제 2 게이트 전극에 접속하는 제 3 게이트 전극을 형성하는 것을 특징으로 한다.

<83> 상기 제 1 및 제 2 콘택홀과 게이트 콘택홀은 동시에 형성되는 것을 특징으로 한다.

<84> 상기 제 2 게이트 전극은 포토리소그래피(photolithography)를 이용하여 형성하는 것을 특징으로 한다.

<85> 또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치용 어레이 기판의 제 2 실시예는, 기판과, 상기 기판 상부에 형성된 버퍼층과, 다결정 실리콘으로 이루어진 액티브층과, 게이트 절연막과, 제 1 게이트 전극과; 상기 액티브층의 소스 및 드레인 영역을 드러내는 제 1 및 제 2 콘택홀을 포함하는 층간절연막과; 상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과; 상기 소스 및 드레인 전극을 덮고 있으며, 상기 드레인 전극 상부에 드레인 콘택홀 및 게이트 콘택홀을 가지는 보호층과; 상기 보호층 상부에 형성되고 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되어 있는 화소 전극과; 상기 게이트 콘택홀을 통해서 상기 제 1 게이트 전극과 접촉하는 제 2 게이트 전극;을 포함하여 이루어지는 것을 특징으로 한다.

- <86> 상기 층간절연막에 콘택홀이 형성되어 제 1 게이트 전극 및 제 2 게이트 전극 사이에서 접촉되는 제 3 게이트 전극을 형성하는 것을 특징으로 한다.
- <87> 상기 드레인 콘택홀과 게이트 콘택홀은 동시에 형성되는 것을 특징으로 한다.
- <88> 상기 화소 전극은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 또는 TCO(Transparent Conducting Oxide)인 것을 특징으로 한다.
- <89> 상기 제 2 게이트 전극은 포토리소그래피(photolithography)를 이용하여 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.
- <90> 또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치용 어레이 기판 제조 방법의 제 1 실시예는, 기판 상부에 버퍼층, 다결정 실리콘으로 이루어진 액티브층, 게이트 절연막, 제 1 게이트 전극 및 층간절연막을 형성하는 단계와; 상기 층간절연막에 제 1 및 제 2 콘택홀과 게이트 콘택홀을 동시에 형성하는 단계와; 상기 제 1 및 제 2 콘택홀을 통해 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과 상기 게이트 콘택홀을 통해서 제 1 게이트 전극과 접촉하는 제 2 게이트 전극을 동시에 형성하는 단계와; 상기 소스 및 드레인 전극과 제 2 게이트 전극을 덮으며, 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계;를 포함하여 이루어지는 것을 특징으로 한다.
- <91> 상기 층간절연막에 제 1 및 제 2 콘택홀과 게이트 콘택홀을 형성하는 단계에 있어서, 포토 리소그래피(photolithography)를 이용하여 동시에 형성하는 것을 특징으로 한다.

- <92> 상기 제 1 및 제 2 콘택홀과 게이트 콘택홀은 식각 장비를 이용하여 동시에 형성하는 것을 특징으로 한다.
- <93> 또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치용 어레이 기판의 제조 방법의 제 2 실시예는, 기판 상부에 버퍼층, 다결정 실리콘으로 이루어진 액티브층, 게이트 절연막, 제 1 게이트 전극 및 층간절연막을 형성하는 단계와; 상기 층간절연막에 제 1 및 제 2 콘택홀을 형성하는 단계와; 상기 제 1 및 제 2 콘택홀을 통해 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극을 덮고 있으며, 드레인 콘택홀 및 게이트 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극과 상기 게이트 콘택홀을 통해서 제 1 게이트 전극과 접촉하는 제 2 게이트 전극을 동시에 형성하는 단계;를 포함하여 이루어지는 것을 특징으로 한다.
- <94> 상기 보호층에 드레인 콘택홀과 게이트 콘택홀을 형성하는 단계에 있어서, 포토 리소그래피(photolithography)를 이용하여 동시에 형성하는 것을 특징으로 한다.
- <95> 상기 드레인 콘택홀과 게이트 콘택홀은 식각 장비를 이용하여 동시에 형성하는 것을 특징으로 한다.
- <96> 이하, 첨부한 도면을 참조하여 본 발명에 따른 다결정 실리콘을 이용한 탑 게이트 형 박막 트랜지스터를 포함하는 어레이 기판 및 그의 제조 방법에 대하여 구체적인 실시예를 들어 설명한다.
- <97> (제 1 실시예)

- <98> 도 3은 본 발명에 따른 제 1 실시예로서, 박막트랜지스터 및 구동회로부 CMOS구조 박막트랜지스터의 단면을 각각 도시한 단면도이다.
- <99> 여기서, 상기 화소부 및 구동회로부 모두 반도체층 상부에 게이트 전극이 위치하는 탑 게이트(top gate)형 박막트랜지스터에 관한 것이다.
- <100> 도 3을 참조하면, 화소부 박막트랜지스터부(IV)에는, 절연기판(200) 상부에 버퍼층(214)이 기판 전면에 걸쳐 형성되어 있고, 상기 버퍼층(214) 상부에는 반도체층(216)이 형성되어 있고, 상기 반도체층(216) 상의 중앙부에는 게이트 절연막(218), 제 1 게이트 전극(220)이 차례대로 적층되어 있다.
- <101> 상기 제 1 게이트 전극(220)을 덮고 있으며, 상부에는 제 1, 2 반도체층 콘택홀(222a, 222b) 및 게이트 콘택홀(239)을 포함하는 층간절연막(224 ; interlayer)이 형성되어 있으며, 상기 제 1, 2 반도체층 콘택홀(222a, 222b)과 각각 연결되며, 상기 제 1 게이트 전극(220)과 일정간격 오버랩되는 위치에 소스 및 드레인 전극(226, 228)이 서로 일정간격 이격되어 형성되어 있다.
- <102> 그리고, 상기 층간절연막(224)에 형성되어 있는 게이트 콘택홀(239)과 연결되며, 상기 제 1 게이트 전극(220)과 접촉하는 제 2 게이트 전극(229)이 형성되어 있다.
- <103> 상기 제 2 게이트 전극(229)은 소스 및 드레인 전극(226, 228) 형성시에 리던던시 라인(redundancy line)으로 동시에 형성한다.
- <104> 그리고, 상기 소스/드레인 전극(226, 228) 및 제 2 게이트 전극(229) 상부에는 드레인 콘택홀(230)을 포함하는 보호층(232)이 형성되어 있고, 상기 보호층(232) 상부에는

상기 드레인 콘택홀(230)을 통해 드레인 전극(228)과 연결되어 화소 전극(234)이 형성되어 있다.

<105> 상기 반도체층(216)은 게이트 절연막(218)과 대응되는 영역은 활성화층(216a)을 이루고, 상기 소스 및 드레인 전극(226, 228)과 접촉되는 부분은 n^+ 도핑처리된 n형 불순물층(216c)을 이루며, 상기 활성화층(216a)과 n형 불순물층(216c) 사이의 드레인 전극(228)과 게이트 전극(220)간의 정션(junction)부분에는 LDD(Lightly Doped Drain)층(216b)이 위치한다.

<106> 상기 LDD층(16b)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로, 낮은 농도로 도핑처리하여 누설전류의 증가를 막고 온상태의 전류의 손실을 막는 역할을 한다.

<107> 도 3을 참조하면, 본 발명에 따른 액정 표시 장치 어레이 기판에서, 상기 구동회로부의 CMOS구조 박막트랜지스터는 n형 이온도핑처리에 의한 채널(channel)을 갖는 박막트랜지스터(V)와 p형 이온도핑처리에 의한 채널을 갖는 박막트랜지스터(VI)로 구성된다.

<108> 도시한 바와 같이, 버퍼층(214)이 형성된 투명기판(200) 상에는 n형 반도체층(240)과 p형 반도체층(242)이 서로 일정간격 이격되어 형성되어 있고, n형 및 p형 반도체층(240, 242) 상부에는 각각 게이트 절연막(244a, 244b) 및 게이트 전극(246a, 246b)이 형성되어 있고, 이 제 1 게이트 전극(246a, 246b) 상부에는 기판 전면에서 걸쳐 반도체층 콘택홀(247a, 247b, 247c, 247d) 및 게이트 콘택홀(239a, 239b)을 포함하는 층간절연막(224)이 형성되어 있다.

<109> 상기 층간절연막(224) 상부에는 반도체층 콘택홀(247a, 247b, 247c, 247d)을 통해 각각 n형 및 p형 반도체층(240, 242)과 연결되어 각각 소스 및 드레인 전극((250a,

252a), (250b, 252b))이 형성되어 있고, 상기 게이트 콘택홀(239a, 239b)을 통해 제 1 게이트 전극(246a, 246b)과 접촉하는 제 2 게이트 전극(249a, 249b)이 형성되어 있다.

<110> 그리고, 상기 소스 및 드레인 전극((250a, 252a), (250b, 252b))과 제 2 게이트 전극(249a, 249b) 상부에는 기판 전면에서 걸쳐 보호층(232)이 형성되어 있다.

<111> 상기 n형 반도체층(240)은 상기 반도체층(216)과 같이 게이트 절연막(244a)과 접촉하는 영역을 활성화층(240a)으로 하고, 이 소스 및 드레인 전극(250a, 252a)과 접촉하는 영역을 포함하여 n형 불순물층(240c)으로 하며, 그 사이 영역을 LDD층(240b)으로 구성하며, 상기 p형 반도체층(242)은 양전기로 충전된 캐리어를 이용하는 방식이므로, n형 박막트랜지스터보다 캐리어의 열화 및 누설전류의 영향이 크지 않다. 따라서, 별도의 LDD층을 구성하지 않고, 상기 제 2 게이트 절연막(244b)과 접촉하는 영역을 활성화층(242a)으로 하고, 이 활성화층(242a)의 외곽영역을 p형 불순물층(242b)으로 구성하여 이루어진다.

<112> 이하, 상기에서 설명한 바와 같은 구조를 가지는 액정 표시 장치용 어레이 기판에서, 대표적으로 화소부의 박막트랜지스터의 제조공정에 대해서 구체적으로 설명한다.

<113> 도 4는 본 발명의 제 1 실시예에 따른 탑 게이트형 박막트랜지스터의 제조공정을 순서대로 보여주는 도면이다.

<114> 상기 제조 공정에서는 감광성 포토 레지스트(PR ; photo resist)을 이용한 포토리소그래피(Photolithography) 공정(이하, 마스크 공정으로 약칭함)이 수반된다.

<115> 먼저, 도 4a에 도시된 바와 같이, 절연기판(200)을 준비하고, 이 절연기판(200) 상에 약 3000 Å 두께의 버퍼층(214, buffer layer)을 형성한다.

- <116> 상기 버퍼층(214)을 이루는 물질로는 실리콘 질화막(SiN_x)나 실리콘 산화막(SiO_x)와 같은 무기절연막이 주로 이용된다.
- <117> 그리고, 상기 버퍼층(214) 상에 활성화층(216a, active layer)을 형성한다.
- <118> 이 단계에서, 상기 버퍼층(214)이 형성된 기판 상에 약 550Å 두께로 비정질 실리콘(a-Si)을 증착하고, 탈수소화(dehydrogenation) 과정을 거친 후, 결정화 단계를 통해 다결정 또는 단결정 실리콘과 같은 결정질 실리콘을 형성하고, 이 결정질 실리콘을 이용하여 제 1 마스크 공정에 의해 활성화층(216a)으로 형성한다.
- <119> 이후, 게이트 절연막(218) 및 제 1 게이트 전극(220)을 형성한다.
- <120> 상기 활성화층(216a)이 형성된 기판 상에, 약 1000Å의 실리콘 질화막, 2000Å의 몰리브덴(Mo)을 연속해서 증착한 후, 제 2 마스크 공정을 통해 게이트 절연막(218) 및 제 1 게이트 전극(220)을 형성하는 단계이다.
- <121> 그리고, n형 반도체층을 완성하는데, 상기 제 1 게이트 전극(220) 및 게이트 절연막(218)이 형성된 기판 상에 n^- 도핑처리를 하여 LDD층(216b)을 형성한 후, 제 3 마스크 공정을 통해 n^+ 도핑을 처리된 n형 불순물층(216c)을 형성한다.
- <122> 이어서, 상기 n형 불순물층(216c)이 형성된 기판 상에, 제 4 마스크 공정을 통해 p^+ 도핑처리된 p형 불순물층(도시되지 않음)을 형성한다.
- <123> 이후, 층간절연막(224)을 형성하는데, 상기 기판 상에, 약 7000Å의 실리콘 질화막 또는 실리콘 산화막과 같은 무기절연막을 증착한다.
- <124> 그리고, 도 4b에 도시된 바와 같이, 제 5 마스크 공정에 의해 반도체층 콘택홀(222a, 222b) 및 게이트 콘택홀(239)을 가지는 층간절연막(224)을 형성한다.

- <125> 이어서, 상기 반도체층 콘택홀(222a, 222b) 및 게이트 콘택홀(239)을 포함하는 층간절연막(224)이 형성된 기판 상에, 약 500Å의 폴리브덴과, 약 3000Å의 알루미늄 네오딤(AlNd)을 차례대로 증착한 후, 제 6 마스크 공정에 의해 일괄 에칭하여, 도 4c에 도시된 바와 같이, 상기 반도체층 콘택홀(222a, 222b)을 통해 불순물층과 연결되는 소스 및 드레인 전극(226, 228)과 상기 소스 및 드레인 전극(226, 228) 형성시의 리던던시 라인(redundancy line)을 이용하여 상기 게이트 콘택홀(239)을 통해 제 1 게이트 전극(220)과 접촉하는 제 2 게이트 전극(229)을 형성한다.
- <126> 그리고, 상기 소스 및 드레인 전극(226, 228)과 제 2 게이트 전극(229)이 형성된 기판 상에, 약 4000Å의 실리콘 질화막을 증착하고, 이 실리콘 질화막의 수소화 열처리 과정을 거친 후, 제 7 마스크 공정에 의해 드레인 콘택홀(230)을 가지는 보호층(232)을 형성한다.
- <127> 상기 수소화 열처리 과정은 어닐링 단계를 포함하여 실리콘 질화막에 포함된 수소를 저면을 몰아주기 위한 공정으로서, 일반적으로 380℃에서 질소(N₂)가스를 이용하여 1회 실시된다.
- <128> 최종적으로, 도 4d에 도시된 바와 같이, 상기 보호층(232) 상에 화소 전극(234)을 형성한다.
- <129> 이 단계에서는, 상기 보호층(232)이 형성된 기판 상에 약 400Å두께의 ITO(indium Tin Oxide)를 증착한 후, 제 8 마스크 공정에 의해 상기 드레인 콘택홀(230)을 통해 드레인 전극(228)과 연결되는 화소 전극(234)을 형성한다.
- <130> (제 2 실시예)

- <131> 도 5는 본 발명에 따른 제 2 실시예로서, 화소부 박막트랜지스터(VII) 및 구동회로부 CMOS구조 박막트랜지스터(VIII, IX)의 단면을 각각 도시한 단면도이다.
- <132> 여기서, 상기 화소부 및 구동회로부 모두 반도체층 상부에 게이트 전극이 위치하는 탑 게이트(top gate)형 박막트랜지스터에 관한 것이다.
- <133> 도 5를 참조하면, 화소부 박막트랜지스터부(VII)에는, 절연기판(300) 상부에 버퍼층(314)이 기판 전면에 걸쳐 형성되어 있고, 상기 버퍼층(314) 상부에는 반도체층(316)이 형성되어 있고, 이 반도체층(316) 상의 중앙부에는 게이트 절연막(318), 제 1 게이트 전극(320)이 차례대로 적층되어 있다.
- <134> 상기 게이트 전극(320) 상부에는, 제 1, 2 반도체층 콘택홀(322a, 322b)을 포함하는 층간절연막(324 ; interlayer)이 형성되어 있으며, 이 제 1, 2 반도체층 콘택홀(322a, 322b)과 각각 연결되며, 상기 제 1 게이트 전극(320)과 일정간격 오버랩되는 위치에 소스 및 드레인 전극(326, 328)이 서로 일정간격 이격되어 형성되어 있다.
- <135> 그리고, 상기 소스/드레인 전극(326, 328) 및 제 1 게이트 전극(320) 상부에는 드레인 콘택홀(330) 및 게이트 콘택홀(339)을 포함하는 보호층(332)이 형성되어 있고, 이 보호층(332) 상부에는 상기 드레인 콘택홀(330)을 통해 드레인 전극(328)과 연결되어 화소 전극(334)이 형성되어 있다.
- <136> 상기 게이트 콘택홀(339)은 상기 보호층(332) 및 제 1 게이트 전극(320) 상에 형성되어 있는 층간절연막(324)을 통과하여 형성된다.

- <137> 이 때, 상기 보호층(332) 상에 화소 전극(334) 형성시 리턴던시 라인을 적용하여 화소 전극(334)과 함께 제 2 게이트 전극(329)을 동시에 형성하며, 상기 제 2 게이트 전극(329)은 상기 게이트 콘택홀(339)을 통해서 제 1 게이트 전극(320)과 접촉된다.
- <138> 상기 반도체층(316)은 게이트 절연막(318)과 대응되는 영역은 활성화층(316a)을 이루고, 상기 소스 및 드레인 전극(326, 328)과 접촉되는 부분은 n^+ 도핑처리된 n형 불순물층(316c)을 이루며, 상기 활성화층(316a)과 n형 불순물층(316c) 사이의 드레인 전극(328)과 게이트 전극(320)간의 정션(junction)부분에는 LDD(Lightly Doped Drain)층(316b)이 위치한다.
- <139> 상기 LDD층(316b)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로, 낮은 농도로 도핑처리하여 누설전류의 증가를 막고 온상태의 전류의 손실을 막는 역할을 한다.
- <140> 도 5를 참조하면, 상기 구동회로부의 CMOS구조 박막트랜지스터는 n형 이온도핑처리에 의한 채널(channel)을 갖는 박막트랜지스터(VIII)와 p형 이온도핑처리에 의한 채널을 갖는 박막트랜지스터(IX)로 구성된다.
- <141> 도시한 바와 같이, 버퍼층(314)이 형성된 투명기판(300) 상에는 n형 반도체층(340)과 p형 반도체층(342)이 서로 일정간격 이격되어 형성되어 있고, n형 및 p형 반도체층(340, 342) 상부에는 각각 게이트 절연막(344a, 344b) 및 게이트 전극(346a, 346b)이 형성되어 있고, 이 제 1 게이트 전극(346a, 346b) 상부에는 기판 전면에 걸쳐 반도체층 콘택홀(347a, 347b, 347c, 347d)을 포함하는 층간절연막(324)가 형성되어 있다.

- <142> 상기 층간절연막(324) 상부에는 반도체층 콘택홀(347a, 347b, 347c, 347d)을 통해 각각 n형 및 p형 반도체층(340, 342)과 연결되어 각각 소스 및 드레인 전극((350a, 352a), (350b, 352b))이 형성되어 있다.
- <143> 그리고, 상기 소스 및 드레인 전극((350a, 352a), (350b, 352b)) 상부에는 기판 전면에 걸쳐 보호층(332)이 형성되어 있다.
- <144> 여기서, 상기 보호층(332) 및 층간절연막(324)을 통과하는 게이트 콘택홀(339a, 339b)이 화소부의 박막트랜지스터에서 드레인 콘택홀(330) 형성시에 동시에 형성된다.
- <145> 그리고, 상기 화소부의 박막트랜지스터에서 화소 전극(334) 형성시에 리던던시 라인을 적용하여 제 2 게이트 전극(349a, 349b)을 동시에 형성한다.
- <146> 상기 n형 반도체층(340)은 상기 반도체층(316)과 같이 게이트 절연막(344a)과 접촉하는 영역을 활성화층(340a)으로 하고, 이 소스 및 드레인 전극(350a, 352a)과 접촉하는 영역을 포함하여 n형 불순물층(340c)으로 하며, 그 사이 영역을 LDD층(340b)으로 구성하며, 상기 p형 반도체층(342)은 양전기로 충전된 캐리어를 이용하는 방식이므로, n형 박막트랜지스터보다 캐리어의 열화 및 누설전류의 영향이 크지 않다. 따라서, 별도의 LDD층을 구성하지 않고, 상기 제 2 게이트 절연막(344b)과 접촉하는 영역을 활성화층(342a)으로 하고, 이 활성화층(342a)의 외곽영역을 p형 불순물층(342b)으로 구성하여 이루어진다.
- <147> 이하, 본 발명에 따른 액정 표시 장치용 어레이 기판에서 화소부의 박막트랜지스터의 제조공정에 대해서 구체적으로 설명한다.

- <148> 도 6은 본 발명의 제 2 실시예에 따른 탑 게이트형 화소부 박막트랜지스터의 제조 공정을 순서대로 보여주는 도면이다.
- <149> 상기 제조 공정에서는 감광성 포토 레지스트(PR ; photo resist)을 이용한 포토리소그래피(Photolithography) 공정(이하, 마스크 공정으로 약칭함)이 수반된다.
- <150> 먼저, 도 6a에 도시된 바와 같이, 절연기판(300)을 준비하고, 이 절연기판(300) 상에 약 3000Å 두께의 버퍼층(314, buffer layer)을 형성한다.
- <151> 상기 버퍼층(314)을 이루는 물질로는 실리콘 질화막(SiN_x)나 실리콘 산화막(SiO_x)와 같은 무기절연막이 주로 이용된다.
- <152> 그리고, 상기 버퍼층(314) 상에 활성화층(316a, active layer)을 형성한다.
- <153> 이 단계에서, 상기 버퍼층(314)이 형성된 기판 상에 약 550Å 두께로 비정질 실리콘(a-Si)을 증착하고, 탈수소화(dehydrogenation) 과정을 거친 후, 결정화 단계를 통해 다결정 또는 단결정 실리콘과 같은 결정질 실리콘을 형성하고, 이 결정질 실리콘을 이용하여 제 1 마스크 공정에 의해 활성화층(316a)으로 형성한다.
- <154> 이후, 게이트 절연막(318) 및 제 1 게이트 전극(320)을 형성한다.
- <155> 상기 활성화층(316a)이 형성된 기판 상에, 약 1000Å의 실리콘 질화막, 2000Å의 몰리브덴(Mo)을 연속해서 증착한 후, 제 2 마스크 공정을 통해 게이트 절연막(318) 및 제 1 게이트 전극(320)을 형성하는 단계이다.
- <156> 그리고, n형 반도체층(316)을 완성하는데, 상기 제 1 게이트 전극(320) 및 게이트 절연막(318)이 형성된 기판 상에 n^- 도핑처리를 하여 LDD층(316b)을 형성한 후, 제 3 마스크 공정을 통해 n^+ 도핑을 처리된 n형 불순물층(316c)을 형성한다.

- <157> 이어서, 상기 n형 불순물층(316c)이 형성된 기판 상에, 제 4 마스크 공정을 통해 p^+ 도핑처리된 p형 불순물층(도시되지 않음)을 형성한다.
- <158> 이후, 층간절연막(324)을 형성하는데, 상기 p형 불순물층이 형성된 기판 상에, 약 7000 Å의 실리콘 질화막 또는 실리콘 산화막과 같은 무기절연막을 증착한다.
- <159> 그리고, 도 6b에 도시된 바와 같이, 제 5 마스크 공정에 의해 반도체층 콘택홀(322a, 322b)을 가지는 층간절연막(324)을 형성한다.
- <160> 이어서, 상기 반도체층 콘택홀(322a, 322b)을 포함하는 층간절연막(324)이 형성된 기판 상에, 약 500 Å의 폴리브덴과, 약 3000 Å의 알루미늄 네오듐(AlNd)을 차례대로 증착한 후, 제 6 마스크 공정에 의해 일괄 에칭하여, 도 6c에 도시된 바와 같이, 상기 반도체층 콘택홀(322a, 322b)을 통해 불순물층(316c)과 연결되는 소스 및 드레인 전극(326, 328)을 형성한다.
- <161> 그리고, 상기 소스 및 드레인 전극(326, 328)이 형성된 기판 상에, 약 4000 Å의 실리콘 질화막을 증착하고, 이 실리콘 질화막의 수소화 열처리과정을 거친 후, 제 7 마스크 공정에 의해 드레인 콘택홀(330) 및 게이트 콘택홀(339)을 가지는 보호층(332)을 형성한다.
- <162> 상기 수소화 열처리 과정은 어닐링 단계를 포함하여 실리콘 질화막에 포함된 수소를 저면을 몰아주기 위한 공정으로서, 일반적으로 380℃에서 질소(N_2)가스를 이용하여 1회 실시된다.
- <163> 상기 드레인 콘택홀(330)과 게이트 콘택홀(339)을 하나의 마스크를 이용하여 동시에 형성한다.

- <164> 그리고, 상기 게이트 콘택홀(339)은 상기 보호층(332) 및 층간절연막(324)을 통과하여 제 1 게이트 전극(320)을 드러낸다.
- <165> 최종적으로, 도 6d에 도시된 바와 같이, 상기 보호층(332) 상에 화소 전극(334)을 형성한다.
- <166> 이 단계에서는, 상기 보호층(332)이 형성된 기판 상에 약 400Å 두께의 ITO(indium Tin Oxide)를 증착한 후, 제 8 마스크 공정에 의해 상기 드레인 콘택홀(330)을 통해 드레인 전극(328)과 연결되는 화소 전극(334)을 형성한다.
- <167> 이 때, 상기 화소부의 박막트랜지스터에서 화소 전극(334) 형성시에 리던던시 라인을 적용하여 제 2 게이트 전극(329)을 동시에 형성한다.
- <168> 본 발명은 상기한 탑 게이트(top-gate)형 액정 표시 장치뿐만 아니라, 바텀 게이트(bottom-gate)형 액정 표시 장치에도 적용할 수 있다.
- <169> 이하, 첨부한 도면을 참조하여 본 발명에 따른 다결정 실리콘을 이용한 탑 게이트형 박막 트랜지스터를 포함하는 어레이 기판 및 그의 제조 방법에 대하여 구체적인 실시예를 들어 설명한다.
- <170> (제 3 실시예)
- <171> 도 7은 본 발명에 따른 또 다른 실시예로서, 바텀 게이트형 박막 트랜지스터를 가지는 어레이 기판의 화소 영역 일부분을 간략하게 도시한 평면도이다.
- <172> 투명한 기판 상에 평행하게 배열되는 다수의 게이트배선(411) 및 이와 직교하는 다수의 평행한 데이터배선(412)이 매트릭스 형태를 이루며 화소영역을 정의하고 있고, 상기 두 배선의 교차지점에 반도체층(416), 제 1 게이트 전극(420), 소스/드레인 전극

(426, 428)을 포함하는 박막 트랜지스터와, 상기 박막트랜지스터와 전기적으로 연결되는 화소전극(434)이 위치한다.

<173> 이때, 상기 반도체층(416)에는 제 1, 2 반도체층 콘택홀(422a, 422b)에 의해서 소스/드레인 전극(426, 428)과 전기적으로 연결되며, 상기 드레인 콘택홀(430)에 의해서 드레인 전극(428)과 화소 전극(434)이 전기적으로 연결된다.

<174> 또한, 상기 제 1 게이트 전극(420) 및 게이트 배선(411) 상의 게이트 콘택홀(439)에 의해서 상기 제 1 게이트 전극(420) 및 게이트 배선(411) 상에 제 2 게이트 전극(429)이 소스/드레인 전극(426, 428) 형성시의 리턴던시 라인(redundancy line)으로 형성된다.

<175> 도 8은 도 7에서 I-I', II-II'선을 따라 절단한 단면으로서, 본 발명에 따른 바텀 게이트형 박막 트랜지스터를 가지는 어레이 기판의 화소 영역 일부분을 간략하게 도시한 단면도이다.

<176> 도 8의 (a)에 나타난 바와 같이 도 7의 I-I'선을 따라서 단면하면, 절연기판(400) 상부에 버퍼층(414)이 기판 전면에 걸쳐 형성되어 있고, 상기 버퍼층(414) 상부에는 제 1 게이트 전극(420)이 형성되어 있으며, 상기 제 1 게이트 전극(420)을 덮는 게이트 절연막(418)과, 상기 게이트 절연막(418) 상에 반도체층(416)이 형성되어 있다.

<177> 상기 반도체층(416)을 덮고 있으며, 상부에는 제 1, 2 반도체층 콘택홀(422a, 422b)을 포함하는 층간절연막(424 ; interlayer)이 형성되어 있으며, 상기 제 1, 2 반도체층 콘택홀(422a, 422b)과 각각 연결되는 상기 소스 및 드레인 전극(426, 428)이 서로 일정간격 이격되어 형성되어 있다.

- <178> 상기 제 1, 2 반도체층 콘택홀(422a, 422b)형성시에 게이트 콘택홀(도시되지 않음)을 층간절연막(424)에 동시에 형성한다.
- <179> 그리고, 상기 소스 및 드레인 전극(426, 428) 상부에는 드레인 콘택홀(430)을 포함하는 보호층(432)이 형성되어 있고, 상기 보호층(432) 상부에는 상기 드레인 콘택홀(430)을 통해 드레인 전극(428)과 연결되어 화소 전극(434)이 형성되어 있다.
- <180> 도 8의 (b)에 도시된 바와 같이 도 7에서 II-II'선을 따라 단면하면, 절연기판(400) 상부에 버퍼층(414)이 기판 전면에 걸쳐 형성되어 있고, 상기 버퍼층(414) 상부에는 제 1 게이트 전극(420)이 형성되어 있다.
- <181> 그리고, 상기 제 1 게이트 전극(420) 상에는 게이트 절연막(418)이 형성되며, 상기 게이트 절연막(418) 상에 반도체층(도시되지 않음) 형성 공정이 끝나면 층간절연막(424)이 적층된다.
- <182> 그리고, 상기 층간절연막(424)과 게이트 절연막(418)에 형성되어 있는 게이트 콘택홀(439)과 연결되며, 상기 제 1 게이트 전극(420)과 접촉하는 제 2 게이트 전극(429)이 형성되어 있다.
- <183> 상기 제 2 게이트 전극(429)은 소스 및 드레인 전극(도시되지 않음) 형성시에 리던던시 라인(redundancy line)으로 동시에 형성한다.
- <184> 그리고, 상기 제 2 게이트 전극(429) 상부에는 드레인 콘택홀(도시되지 않음)을 포함하는 보호층(432)이 형성되어 있고, 도 8의 (b)에 도시되지는 않았지만, 상기 보호층(432) 상부에는 상기 드레인 콘택홀(도 8의 (a)에서 430)을 통해 드레인 전극(도 8의 (a)에서 428)과 연결되어 화소 전극(도 8의 (a)에서 434)이 형성되어 있다.

- <185> 여기서, 상기 도 8의 (a)와 (b)에서 사용한 동일한 부호는 같은 공정으로 형성된 것이다.
- <186> (제 4 실시예)
- <187> 도 9는 본 발명에 따른 또 다른 실시예로서, 바텀 게이트형 박막 트랜지스터를 가지는 어레이 기판의 화소 영역 일부분을 간략하게 도시한 평면도이다.
- <188> 투명한 기판 상에 평행하게 배열되는 다수의 게이트배선(511) 및 이와 직교하는 다수의 평행한 데이터배선(512)이 매트릭스 형태를 이루며 화소영역을 정의하고 있고, 상기 두 배선의 교차지점에 반도체층(516), 제 1 게이트 전극(520), 소스/드레인 전극(526, 528)을 포함하는 박막 트랜지스터와, 상기 박막트랜지스터와 전기적으로 연결되는 화소전극(534)이 위치한다.
- <189> 이때, 상기 반도체층(516)에는 제 1, 2 반도체층 콘택홀(522a, 522b)에 의해서 소스/드레인 전극(526, 528)과 전기적으로 연결되며, 상기 드레인 콘택홀(530)에 의해서 드레인 전극(528)과 화소 전극(534)이 전기적으로 연결된다.
- <190> 또한, 상기 제 1 게이트 전극(520) 및 게이트 배선(511) 상의 게이트 콘택홀(539)에 의해서 상기 제 1 게이트 전극(520) 상에 제 2 게이트 전극(529)이 화소 전극(534) 형성시의 IT0의 리턴던시 라인으로 형성된다.
- <191> 도 10은 도 9에서 III-III', IV-IV'선을 따라 절단한 단면으로서, 본 발명에 따른 바텀 게이트형 박막 트랜지스터를 가지는 어레이 기판의 화소 영역 일부분을 간략하게 도시한 단면도이다.

- <192> 도 10의 (a)에 나타낸 바와 같이 도 9의 III-III'선을 따라서 단면하면, 절연기판 (500) 상부에 버퍼층(514)이 기판 전면에 걸쳐 형성되어 있고, 상기 버퍼층(514) 상부에는 제 1 게이트 전극(520)이 형성되어 있으며, 상기 제 1 게이트 전극을 덮는 게이트 절연막(518)과, 상기 게이트 절연막(518) 상에 반도체층(516)이 형성되어 있다.
- <193> 상기 반도체층(516)을 덮고 있으며, 상부에는 제 1, 2 반도체층 콘택홀(522a, 522b)을 포함하는 층간절연막(524 ; interlayer)이 형성되어 있으며, 상기 제 1, 2 반도체층 콘택홀(522a, 522b)과 각각 연결되는 상기 소스 및 드레인 전극(526, 528)이 서로 일정간격 이격되어 형성되어 있다.
- <194> 그리고, 상기 소스 및 드레인 전극(526, 528) 상부에는 드레인 콘택홀(530)을 포함하는 보호층(532)이 형성되어 있고, 상기 보호층(532) 상부에는 상기 드레인 콘택홀(530)을 통해 드레인 전극(528)과 연결되어 화소 전극(534)이 형성되어 있다.
- <195> 여기서, 상기 드레인 콘택홀(530)과 게이트 콘택홀(도시되지 않음)을 하나의 마스크를 이용하여 동시에 형성한다.
- <196> 도 10의 (b)에 도시된 바와 같이 도 9에서 IV-IV'선을 따라 단면하면, 절연기판 (500) 상부에 버퍼층(514)이 기판 전면에 걸쳐 형성되어 있고, 상기 버퍼층(514) 상부에는 제 1 게이트 전극(520)이 형성되어 있다.
- <197> 그리고, 상기 제 1 게이트 전극(520) 상에는 게이트 절연막(518)이 형성되며, 상기 게이트 절연막(518) 상에 반도체층(도시되지 않음) 형성 공정이 끝나면 층간절연막 (524)이 적층된다.

- <198> 상기 층간절연막(524)에는 제 1, 2 반도체층 콘택홀(도시되지 않음)에 형성되어 있으며, 상기 층간절연막(524) 상에는 보호층(532)이 형성된다.
- <199> 상기 보호층(532)에는 드레인 콘택홀(530)이 형성되어 있고, 상기 보호층(532) 상부에는 상기 드레인 콘택홀(530)을 통해 드레인 전극(528)과 연결되어 화소 전극(534)이 형성되어 있다.
- <200> 그리고, 상기 보호층(532)과 층간절연막(524)과 게이트 절연막(518)을 통과하며 형성되어 있는 게이트 콘택홀(539)과 연결되며, 상기 제 1 게이트 전극(520)과 접촉하는 제 2 게이트 전극(529)이 형성되어 있다.
- <201> 상기 제 2 게이트 전극(529)은 화소 전극(도시되지 않음)인 ITO 형성시에 리던던시 라인(redundancy line)으로 동시에 형성한다.
- <202> 여기서, 상기 도 10의 (a)와 (b)에서 사용한 동일한 부호는 같은 공정으로 형성된 것이다.
- <203> 앞서 설명한 본 발명에 따른 실시예에서는, 소스 및 드레인 전극 형성시에 리던던시 라인을 이용하여 제 2 게이트 전극을 형성하거나, 화소 전극인 ITO 형성시에 리던던시 라인을 이용하여 제 2 게이트 전극을 형성하였으나, 본 발명에서는 상기 소스 및 드레인 전극 형성시에 리던던시 라인을 이용하여 제 1 게이트 전극 상에 제 2 게이트 전극을 형성하고 ITO 형성시에 리던던시 라인을 이용하여 상기 제 2 게이트 전극 상에 제 3 게이트 전극을 중복하여 더블 리던던시(double redundancy)로 형성하는 것도 가능하다.
- <204> 또한, 도 11의 (a) 내지 (b)에서 나타낸 바와 같이, 본 발명에 따른 액정 표시 장치용 어레이 기판에서는, 게이트 콘택홀(639)이 다양한 형태를 가질 수 있으며, 상기 게

이트 콘택홀(639)이 형성되는 위치 및 형태에 따라서 제 2 게이트 전극(또는 제 3 게이트 전극, 629)이 제 1 게이트 전극(620) 상에만 형성될 수 있고(도 11의 (a)), 게이트 배선(611) 상에만 형성될 수 있으며(도 11의 (b)), 제 1 게이트 전극(620)과 게이트 배선(611) 상에 형성될 수도 있다.

<205> 이는, 탑 게이트형 액정 표시 장치와 바텀 게이트형 액정 표시 장치에 모두 적용될 수 있으며, 도 11에서 도시한 바와 같이, 제 1 게이트 전극(620) 상에 형성되는 게이트 콘택홀(639)은 탑게이트형 액정 표시 장치의 경우에 소스 및 드레인 전극(626, 629) 사이의 제 1 게이트 전극(620)까지 형성할 수 있다.

<206> 또한, 도 11에서 도시한 바와 같이, 도면에서는 상기 게이트 콘택홀(639) 및 제 2 게이트 전극(또는 제 3 게이트 전극, 629)은 상기 데이터 배선(612)과 게이트 배선(611)이 교차하는 지점에는 형성되지 않았으나, 본 발명에서는 형성될 수도 있다.

<207> 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명에 따른 액정 표시 장치용 어레이 기판 및 그의 제조 방법은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<208> 본 발명은 박막 트랜지스터에서 소스/드레인 전극 형성시나 화소 전극 형성시에 잉여 라인(redundancy line)을 생성, 적용하여 게이트 전극 상에 제 2의 금속막을 형성함으로써 게이트 금속의 저항을 낮추어줌으로써 액정 표시 장치의 반응응답속도를 개선하고 양호한 화질을 가지는 효과가 있다.

<209> 또한, 본 발명은 소스/드레인 전극 또는 화소 전극 형성시의 잉여 라인을 이용함으로써 별도의 추가 공정 없이 형성할 수 있어 제조 효율을 높이는 효과가 있다.

【특허청구범위】**【청구항 1】**

기판과;

상기 기판 상부에 형성된 버퍼층과, 다결정 실리콘으로 이루어진 액티브층과, 게이트 절연막, 제 1 게이트 전극과;

상기 액티브층의 소스 및 드레인 영역과 상기 제 1 게이트 전극의 상부 일부를 드러내는 제 1 및 제 2 콘택홀, 게이트 콘택홀을 포함하는 층간절연막과;

상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과;

상기 층간 절연막 상부에서 상기 게이트 콘택홀을 통해서 상기 제 1 게이트 전극과 접촉하는 제 2 게이트 전극과;

상기 소스 및 드레인 전극과 제 2 게이트 전극을 덮고 있으며, 상기 드레인 전극 상부에 드레인 콘택홀을 가지는 보호층과;

상기 보호층 상부에 형성되고 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되어 있는 화소 전극;을 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 2】

제 1항에 있어서,

상기 보호층에 콘택홀에 형성되어 제 2 게이트 전극에 접속하는 제 3 게이트 전극을 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 3】

제 1항에 있어서,

상기 제 1 및 제 2 콘택홀과 게이트 콘택홀은 동시에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 4】

제 1항에 있어서,

상기 제 2 게이트 전극은 포토리소그래피(photolithography)를 이용하여 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 5】

제 1항에 있어서,

상기 보호층에 게이트 콘택홀을 형성하여 화소전극의 리던던시(redundancy)를 이용하여 제 3 게이트 전극을 더 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 6】

제 1항에 있어서,

상기 게이트 콘택홀 및 제 2 게이트 전극은 제 1 게이트 전극에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 7】

제 1항에 있어서,

상기 게이트 콘택홀 및 제 2 게이트 전극은 게이트 배선 상에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 8】

제 1항에 있어서,

상기 게이트 콘택홀 및 제 2 게이트 전극은 제 1 게이트 전극과 게이트 배선 상에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 9】

기판과;

상기 기판 상부에 형성된 버퍼층과, 다결정 실리콘으로 이루어진 액티브층과, 게이트 절연막과, 제 1 게이트 전극과;

상기 액티브층의 소스 및 드레인 영역을 드러내는 제 1 및 제 2 콘택홀을 포함하는 층간절연막과;

상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과;

상기 소스 및 드레인 전극을 덮고 있으며, 상기 드레인 전극 상부에 드레인 콘택홀 및 게이트 콘택홀을 가지는 보호층과;

상기 보호층 상부에 형성되고 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되어 있는 화소 전극과;

상기 게이트 콘택홀을 통해서 상기 제 1 게이트 전극과 접촉하는 제 2 게이트 전극을 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 10】

제 9항에 있어서,

상기 층간절연막에 콘택홀이 형성되어 제 1 게이트 전극 및 제 2 게이트 전극 사이에서 접촉되는 제 3 게이트 전극을 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 11】

제 9항에 있어서,

상기 드레인 콘택홀과 게이트 콘택홀은 동시에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 12】

제 9항에 있어서,

상기 화소 전극은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 또는 TCO(Transparent Conducting Oxide)인 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 13】

제 9항에 있어서,

상기 제 2 게이트 전극은 포토리소그래피(photolithography)를 이용하여 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 14】

제 1항에 있어서,

상기 게이트 콘택홀 및 제 2 게이트 전극은 제 1 게이트 전극에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 15】

제 1항에 있어서,

상기 게이트 콘택홀 및 제 2 게이트 전극은 게이트 배선 상에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 16】

제 1항에 있어서,

상기 게이트 콘택홀 및 제 2 게이트 전극은 제 1 게이트 전극과 게이트 배선 상에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

【청구항 17】

기판 상부에 버퍼층, 다결정 실리콘으로 이루어진 액티브층, 게이트 절연막, 제 1 게이트 전극 및 층간절연막을 형성하는 단계와;

상기 층간절연막에 제 1 및 제 2 콘택홀과 게이트 콘택홀을 동시에 형성하는 단계와;

상기 제 1 및 제 2 콘택홀을 통해 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과 상기 게이트 콘택홀을 통해서 제 1 게이트 전극과 접촉하는 제 2 게이트 전극을 동시에 형성하는 단계와;

상기 소스 및 드레인 전극과 제 2 게이트 전극을 덮으며, 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계;를 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【청구항 18】

제 17항에 있어서,

상기 층간절연막에 제 1 및 제 2 콘택홀과 게이트 콘택홀을 형성하는 단계에 있어서, 포토 리소그래피(photolithography)를 이용하여 동시에 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【청구항 19】

제 17항에 있어서,

상기 제 1 및 제 2 콘택홀과 게이트 콘택홀은 식각 장비를 이용하여 동시에 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【청구항 20】

제 17항에 있어서,

상기 드레인 콘택홀을 가지는 보호층을 형성하는 단계에 있어서,

상기 드레인 콘택홀과 함께 제 2의 게이트 콘택홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【청구항 21】

제 17항 또는 20항에 있어서,

상기 드레인 콘택홀을 통해서 화소 전극을 형성하는 단계에 있어서,

상기 제 2의 게이트 콘택홀을 통해서 제 2 게이트 전극과 접촉하는 제 3 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【청구항 22】

제 21항에 있어서,

상기 제 3 게이트 전극은 화소 전극과 같은 물질로 이루어지며, 화소 전극과 동시에 형성되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【청구항 23】

기판 상부에 버퍼층, 다결정 실리콘으로 이루어진 액티브층, 게이트 절연막, 제 1 게이트 전극 및 층간절연막을 형성하는 단계와;

상기 층간절연막에 제 1 및 제 2 콘택홀을 형성하는 단계와;

상기 제 1 및 제 2 콘택홀을 통해 액티브층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극을 덮고 있으며, 드레인 콘택홀 및 게이트 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극과 상기 게이트 콘택홀을 통해서 제 1 게이트 전극과 접촉하는 제 2 게이트 전극을 동시에 형성하는 단계;를 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【청구항 24】

제 23항에 있어서,

상기 보호층에 드레인 콘택홀과 게이트 콘택홀을 형성하는 단계에 있어서, 포토 리소그래피(photolithography)를 이용하여 동시에 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

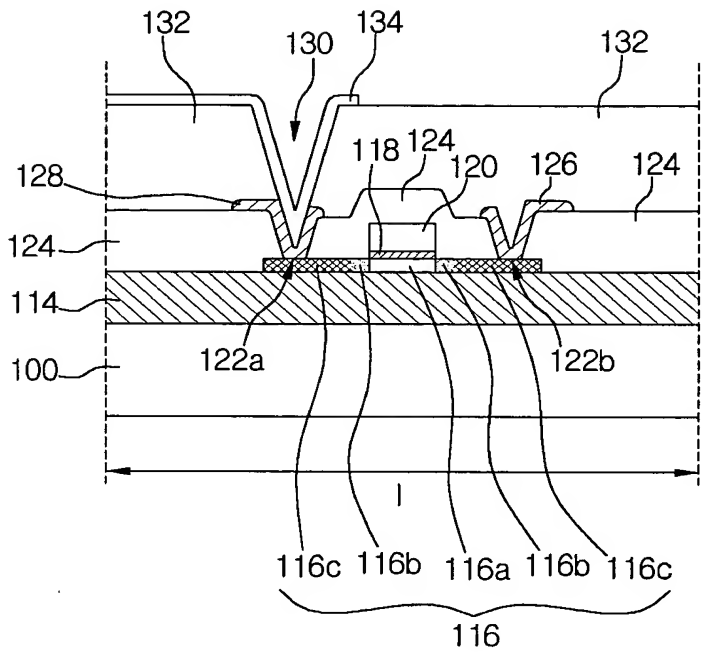
【청구항 25】

제 23항에 있어서,

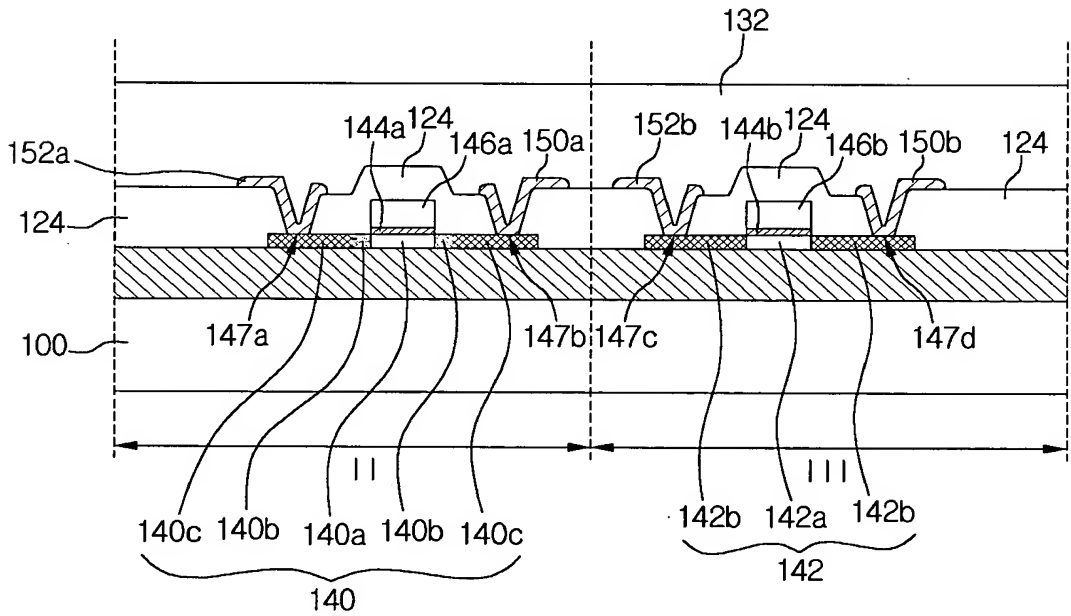
상기 드레인 콘택홀과 게이트 콘택홀은 식각 장비를 이용하여 동시에 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판 제조 방법.

【도면】

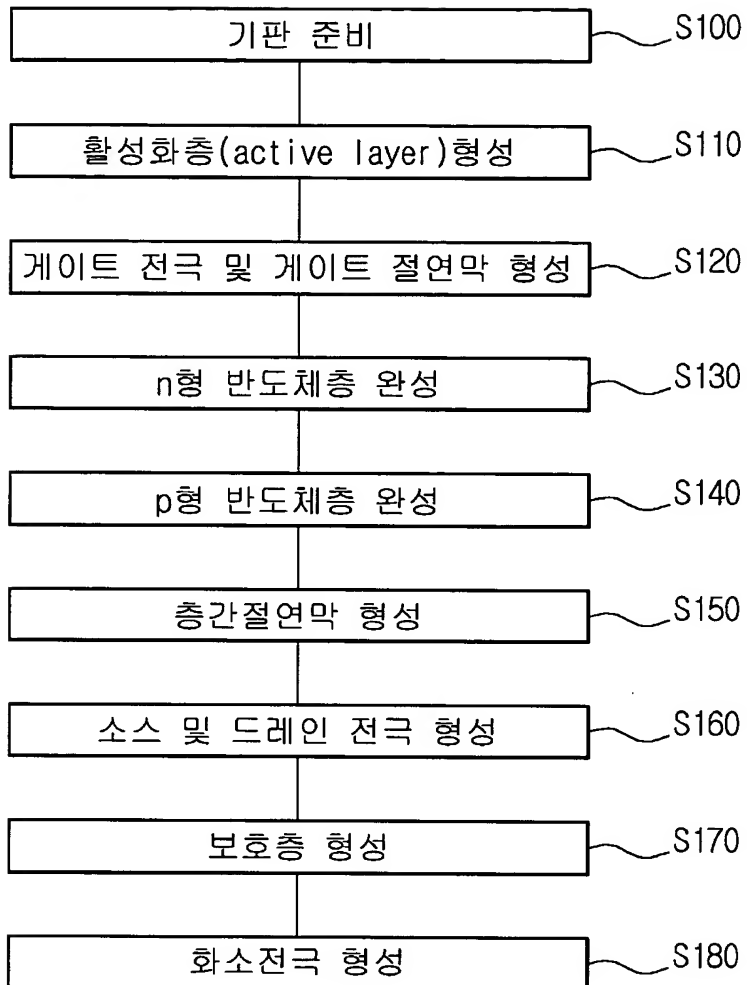
【도 1a】



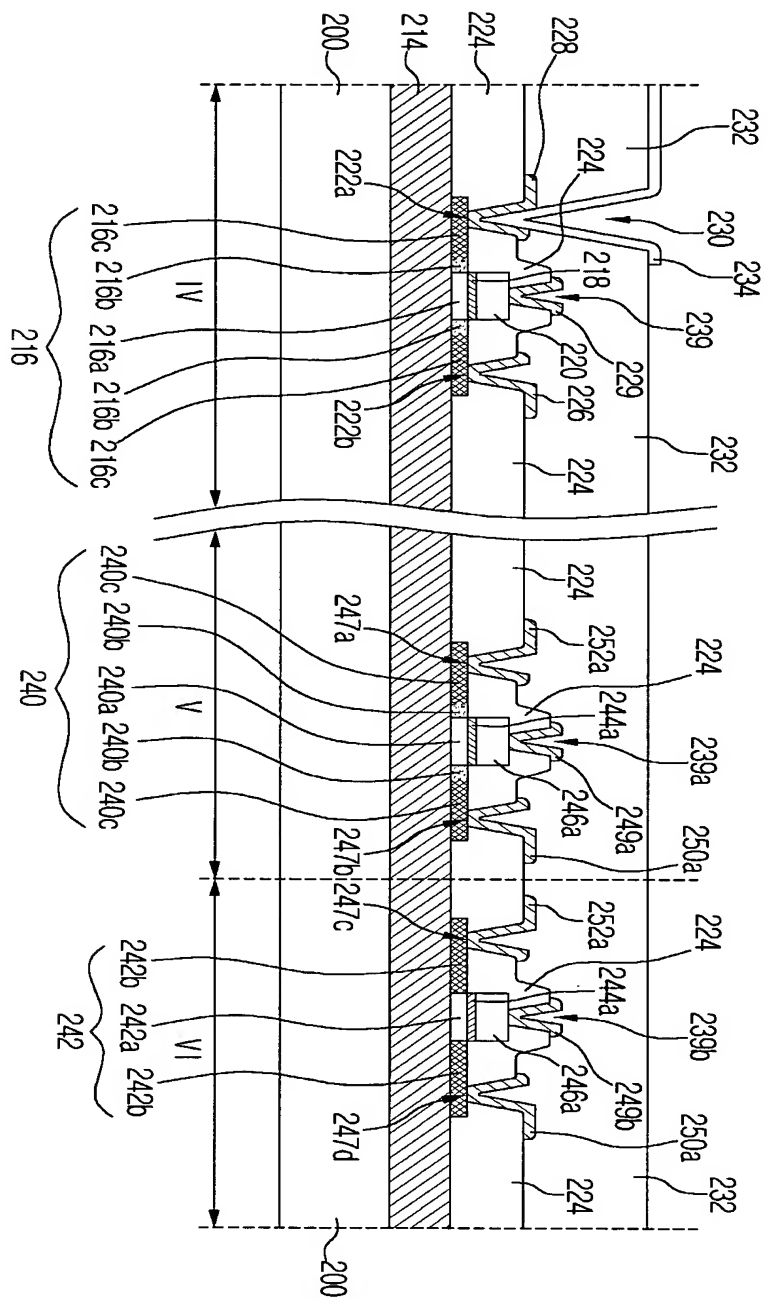
【도 1b】



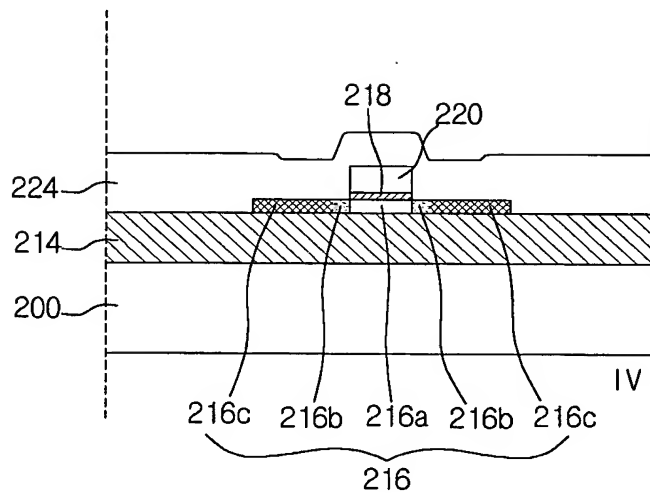
【도 2】



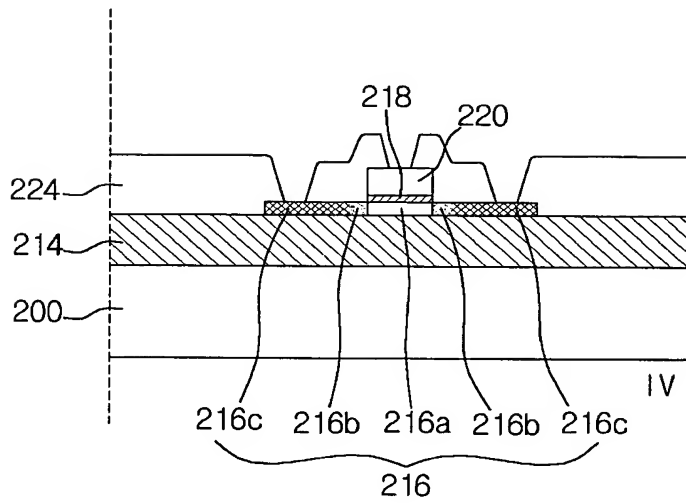
【도 3】



【도 4a】



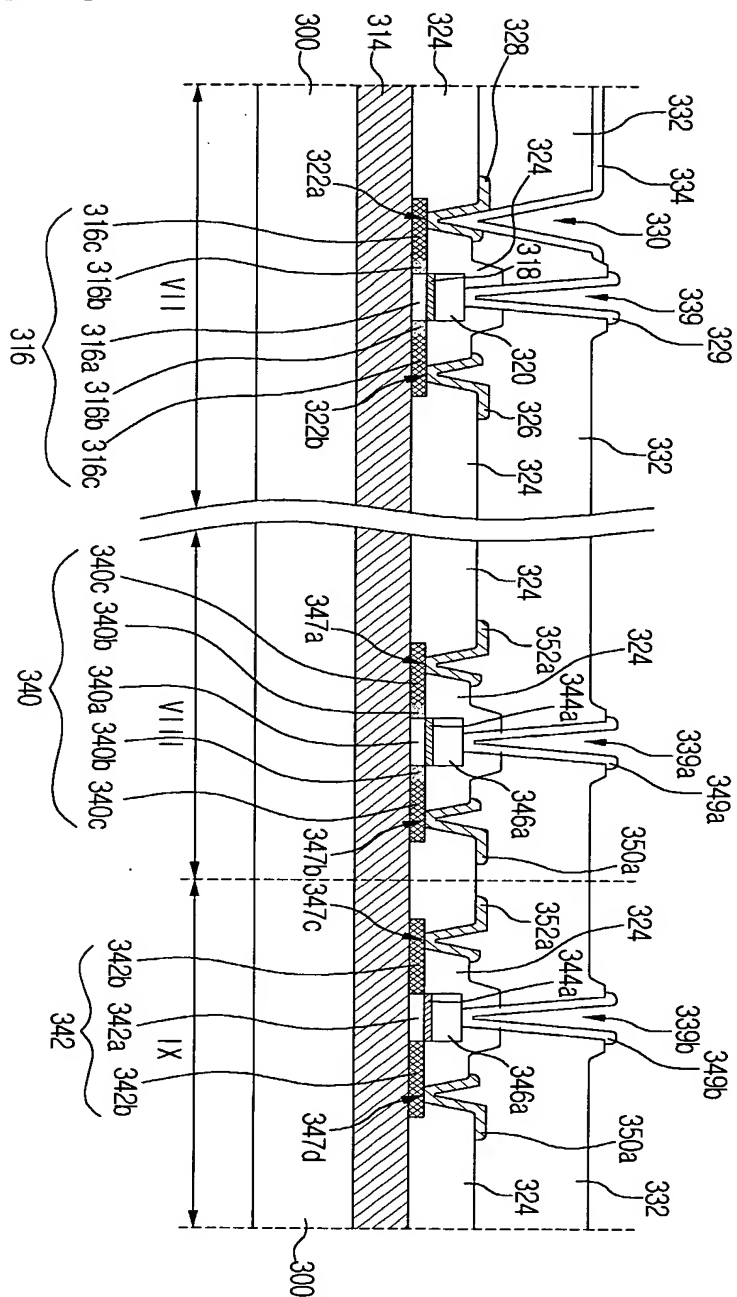
【도 4b】



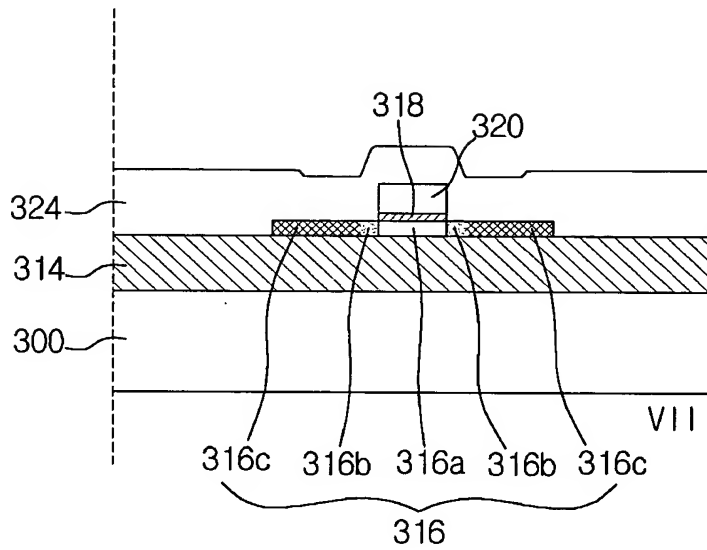
[illegible]

FIG. 4 is a cross-sectional view of a semiconductor device. The device includes a substrate 200. A layer 214 is formed on the substrate 200. A central structure 218 is formed on the layer 214. A ring 220 is formed around the central structure 218. A layer 222 is formed on the layer 214, with openings 222a and 222b. A layer 224 is formed on the layer 222, with a central opening 230. A layer 232 is formed on the layer 224, with a central opening 234. A layer 239 is formed between the layer 224 and the layer 232. A layer 229 is formed between the layer 222 and the layer 232. A layer 226 is formed between the layer 222 and the layer 232. A layer 216 is formed below the layer 214, with a central opening 216a and side openings 216b and 216c. A dashed line IV-IV is shown on the left side of the device.

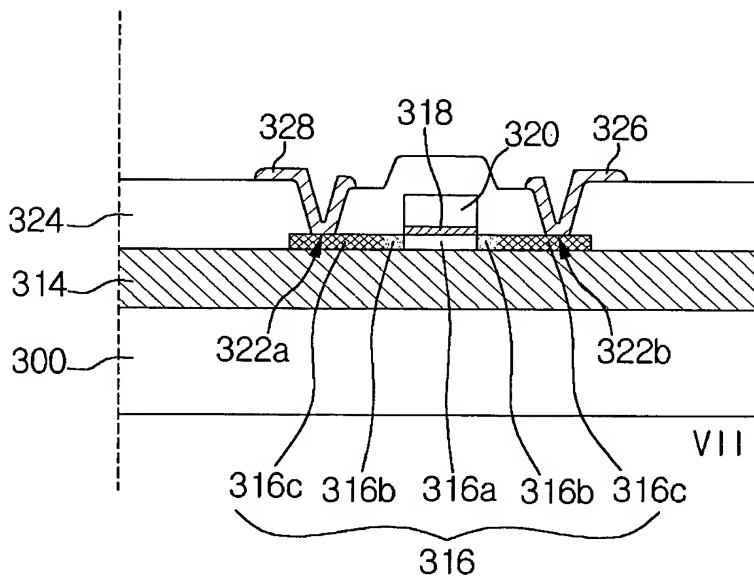
【도 5】



【도 6a】

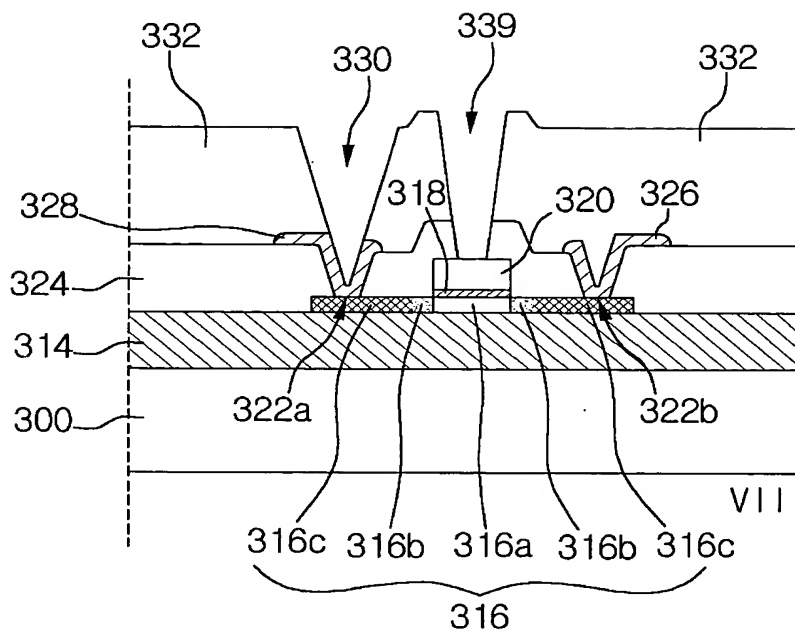


【도 6b】

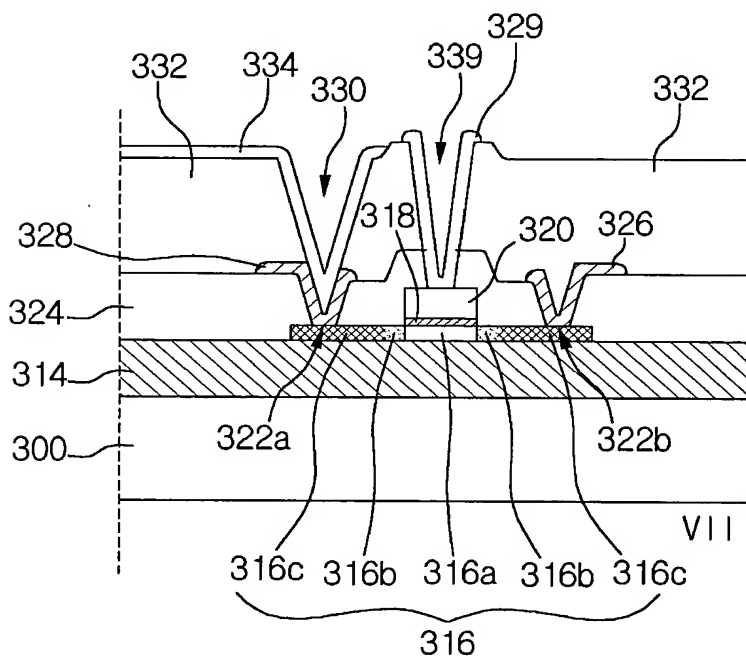




【도 6c】

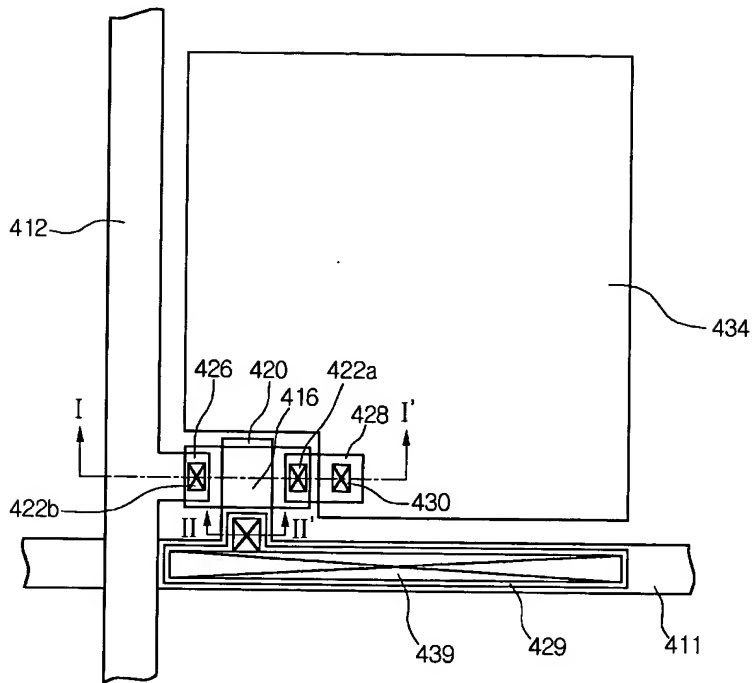


【도 6d】



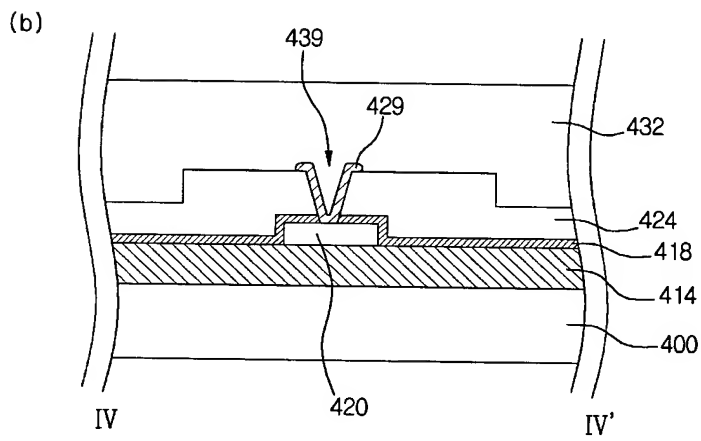
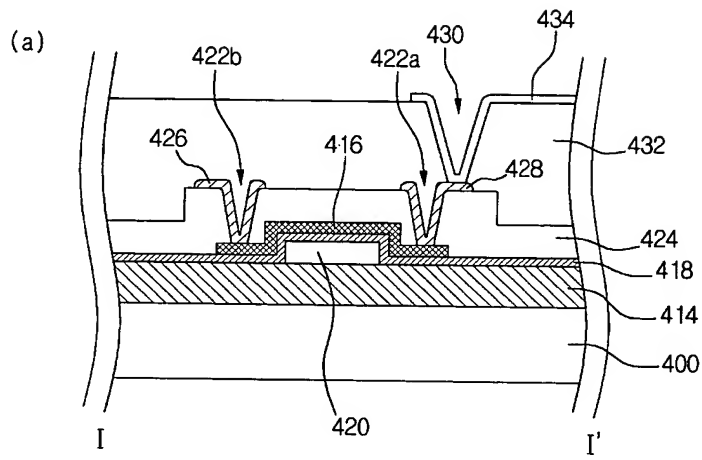


【도 7】

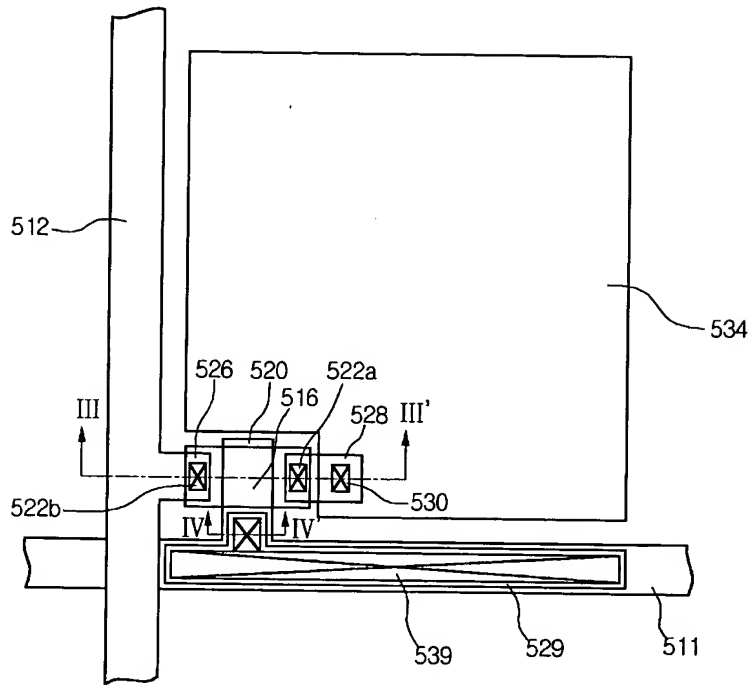




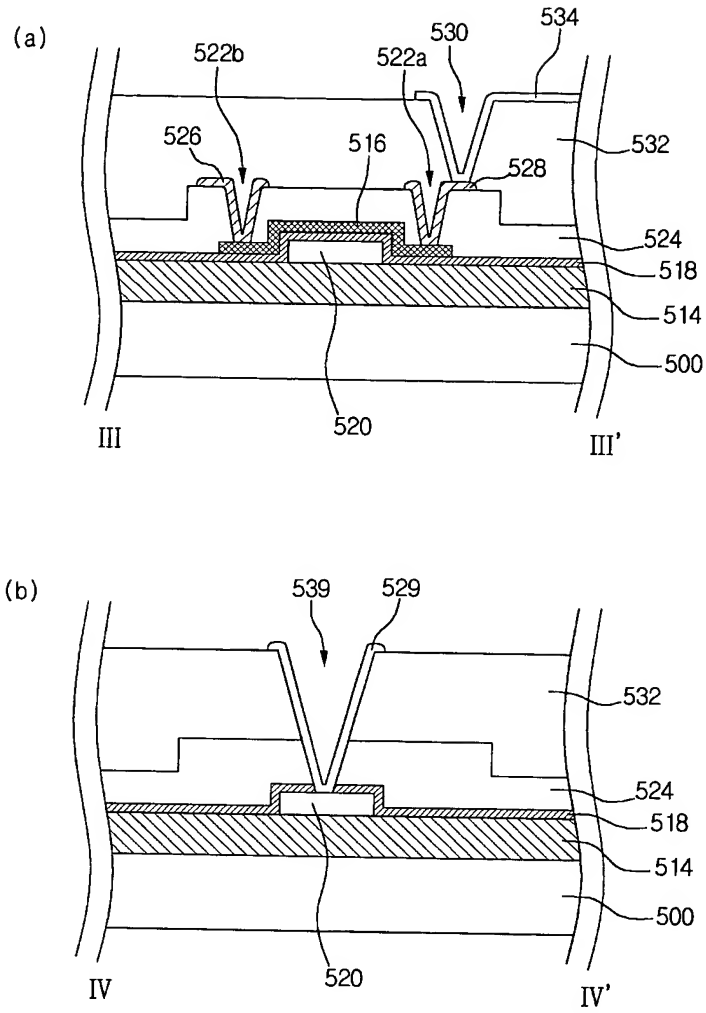
【도 8】



【도 9】



【도 10】



【도 11】

